

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-216836**  
 (43)Date of publication of application : **04.08.2000**

(51)Int.CI.

**H04L 27/22**  
**H04L 27/38**

(21)Application number : **11-014037**  
 (22)Date of filing : **22.01.1999**

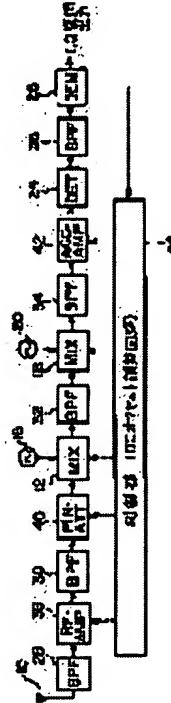
(71)Applicant : **JAPAN RADIO CO LTD**  
 (72)Inventor : **IGUCHI HIROYUKI**

## (54) DC OFFSET ADJUSTING CIRCUIT AND METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize highly stable receiving sensitivity and adjacent channel selectivity characteristic from just after supplying power.

**SOLUTION:** Through a prescribed period just after supplying power, the attenuation factor or the amplitude of a gain adjusting circuit such as a PIN attenuator 40, an AGC amplifier 42 provided on a stage precedent to an orthogonal detector 24 is controlled to generate a state of not-inputting to the detector 24. Input to a demodulator 26 during continuing the not-inputting state is averaged to decide a DC offset adjusting quantity in the demodulator 26. Since the influence of the converging situation of AFC (automatic control of a local oscillation frequency) and AGC (automatic control of the gain of the amplifier) of the variation pattern of a received signal is not received, the highly stable receiving sensitivity and the adjacent channel selectivity characteristic can be realized. It is also possible to reduce a time required for deciding the DC offset adjusting quantity.



### LEGAL STATUS

[Date of request for examination] **15.12.2000**

[Date of sending the examiner's decision of rejection] **06.07.2004**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**Best Available Copy**

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-216836

(P2000-216836A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl.  
H 04 L 27/22  
27/38

識別記号

F I  
H 04 L 27/22  
27/00

データコード(参考)  
Z 5K004  
G

審査請求 未請求 請求項の数 5 OL (全 4 頁)

(21)出願番号

特願平11-14037

(22)出願日

平成11年1月22日(1999.1.22)

(71)出願人

000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72)発明者

井口 博之

東京都三鷹市下連雀5丁目1番1号 日本

無線株式会社内

(74)代理人

100075258

弁理士 吉田 研二 (外2名)

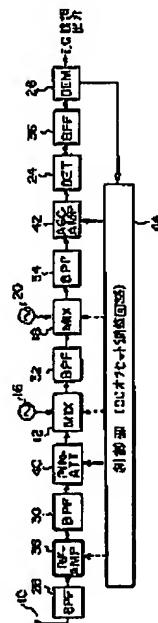
Pターム(参考) 5K004 AA05 F1D1 F1D4 F1G6

## (54)【発明の名称】 DCオフセット調整回路及び方法

## (57)【要約】

【課題】 電源投入直後から高安定の受信感度、隣接チャネル選択度特性を実現できるようにする。

【解決手段】 電源が投入された直後所定期間に亘り、直交検波器24より前段に設けられている利得調整回路例えばP.I.Nアッテネータ40やAGCアンプ42の減衰率又は増幅率を制御して、直交検波器24への無入力状態を発生させる。無入力状態が続いている間における復調器26への入力を平均化し、復調器26におけるDCオフセット調整量を決定する。AFCやAGCの収束状況或いは受信信号の変化パターンの影響を受けないため、従来に比べ高安定の受信感度や隣接チャネル選択度特性を実現することができる。DCオフセット調整量を決定するのに要する時間も短くて済む。



(2)

特開2000-216836

2

## 【特許請求の範囲】

【請求項1】 受信信号を直交検波する直交検波器、直交検波された受信信号をI／Q座標上にプロットする復調器、並びに直交検波器より前の段に設けられ受信信号を増幅し又は減衰させる利得調整回路を備えた受信機にて用いられるDCオフセット調整回路であって、所定状況が発生してから所定時間が経過するまでの間、直交検波器への入力が実質的に無入力であると見なせる状態となるよう利得調整回路における増幅率又は減衰率を制御する手段と、その状態における直交検波器から復調器への入力に応じて復調器のDCオフセットを調整する手段と、を備えることを特徴とするDCオフセット調整回路。

【請求項2】 請求項1記載のDCオフセット調整回路であって、

直交検波器より前の段に設けられている利得調整回路のうち、PINダイオードのスイッチングによりその減衰率が切り替わるPINアッテネータ又はその増幅率を目標値に従い自動制御する機能を有するAGCアンプを用いて、直交検波器への入力が実質的に無入力であると見なせる状態を発生させることを特徴とするDCオフセット調整回路。

【請求項3】 請求項1又は2記載のDCオフセット調整回路であって、

上記所定状況が発生してから上記所定時間が経過するまでの間に、直交検波器から復調器への入力を復数回に亘り取り込み、これらを平均することにより得られた直流分推定値に応じて復調器のDCオフセットを調整することを特徴とするDCオフセット調整回路。

【請求項4】 請求項1乃至3記載のDCオフセット調整回路であって、

上記所定状況が、直交検波器又は復調器を含む回路への電源の投入又は受信周波数の切換であることを特徴とするDCオフセット調整回路。

【請求項5】 直交検波された受信信号を復調する際、直交検波器から復調器への入力に係るDCオフセットを調整するDCオフセット調整方法であって、

電源投入直後所定時間経過までの間直交検波器への受信信号の入力を遮断し、その状態における直交検波器から復調器への入力に基づき復調器入力に含まれる直流分を推定し、推定した直流分に応じてDCオフセットを調整することを特徴とするDCオフセット調整方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、業務用デジタル無線システム等、デジタル変復調方式を用いたシステム向けの受信機に関し、特に受信機に内蔵される復調器に係るDCオフセットを調整するための回路及び方法に関する。

## 【0002】

【従来の技術】デジタル変復調方式向けの受信機では、例えば、ベースバンドに変換されかつ適宜増幅された受信信号を直交検波器にて直交検波し、更に直交検波器の出力を復調器にてA/D変換しI/Q座標上にプロットする、という方法で、伝送に係るシンボルを受信信号から復調する。しかしながら、復調器への入力には、通常、直流分が含まれており、この直流分は電源投入のたび毎に変化する。復調器入力に含まれる直流分が変化すると、図3に示すように、復調器にて処理しているI/Q座標が例えば11/Q1から12/Q2へと変わることになる。このようなI/Q座標原点の移動は、受信感度や隣接チャネル選択度等の安定性の面で受信機性能を低下させる。

【0003】復調器入力中の直流分の変動によるI/Q座標原点の移動を防ぐには、復調器入力中に含まれる直流分を検出し、検出した直流分に応じて復調器における処理を施せばよい。例えば、図4に示すように、直交検波器から復調器への入を取り込み(100)それに含まれる直流分を取り出す処理(102)を所定回数に亘り実行し(104)、得られた複数個の直流分検出値を平均することにより雜音等を除去し(106)、得られた平均値を記憶する(108)。図4に示した処理を次回実行するまでの間、このようにして記憶された値を用いて復調器のDCオフセットを調整することで、即ち復調器への入力又は出力を補正することで、復調器入力中の直流分の変動によるI/Q座標原点の移動を防ぐことができる。

## 【0004】

【発明が解決しようとする課題】しかしながら、復調器への受信信号入力からその直流分を取り出し平均化する、という従来の方法には、誤動作が生じやすいという問題点がある。即ち、局部発振周波数の自動制御(AFC)や、増幅器の利得の自動制御(AGC)が十分収束しておらず、従って直交検波器ひいては復調器への入力に周波数又は振幅の変動がまだ現れている状態で、上述の方法による直流分検出及びDCオフセット調整を行うと、復調器入力にて受信信号の飽和が生ずる等、不具合が発生する。

【0005】また、従来の方法では、平均化の対象とされているのが受信信号中の直流分であるため、短時間の平均化処理では、受信信号の変化パターン(シンボル列の内容)の影響を排除できない。そのため、長時間に亘り直流分の検出を統計的多数の平均化対象を得ねばならず、処理時間の長期化に妨げとなっておりまた信頼性の向上にも支障となっていた。

【0006】本発明は、このような問題点を解決することを課題としてなされたものであり、競合等の不具合が生じにくく、直流分の検出を短時間で済ますことができ、更に信頼性の高いDCオフセット調整を実現することを目的とする。

(3)

特開2000-216836

4

## 【0007】

【課題を解決するための手段】このような目的を達成するため、本発明に係るDCオフセット調整回路は、

(1) 受信信号を直交検波する直交検波器、直交検波された受信信号をI／Q座標上にプロットする復調器、並びに直交検波器より前の段に設けられた受信信号を増幅し又は減衰させる利得調整回路を備えた受信機にて用いられるDCオフセット調整回路であって、(2) 所定状況が発生してから所定時間が経過するまでの間、直交検波器への入力が実質的に無入力であると見なせる状態となるよう利得調整回路における増幅率又は減衰率を制御する手段と、(3) その状態における直交検波器から復調器への入力に応じて復調器のDCオフセットを調整する手段と、を備えることを特徴とする。また、本発明に係るDCオフセット調整方法は、(1) 直交検波された受信信号を復調する際、直交検波器から復調器への入力に係るDCオフセットを調整するDCオフセット調整方法であって、(2) 電源投入直後所定時間経過までの間直交検波器への受信信号の入力を遮断し、その状態における直交検波器から復調器への入力に基づき復調器入力に含まれる直流分を推定し、推定した直流分に応じてDCオフセットを調整することを特徴とする。

【0008】このように、本発明においては、所定状況が生じた後所定時間が経過するまでの間、直交検波器への受信信号入力が遮断されている状態即ち無入力状態を発生させている。この状態における復調器入力は実質的に直流分のみであり、従って、この復調器入力に応じて復調器のDCオフセットを調整することにより、I／Q座標原点のずれ等を補償できる。更に、無入力状態における復調器入力は、直交検波器より前段の回路におけるAFC、AGCの収束状況等の影響や、受信信号の変化パターンの影響を受けないため、復調器における受信信号のifik、処理時間の長時間化、信頼性の限界といった問題点を、克服又は緩和できる。例えば、DCオフセット調整の安定化のため、所定状況発生後所定時間経過までの間直交検波器から復調器への入力を複数回に亘り取り込みこれらを平均する際、取り込むべき復調器入力の個数を従来に比べ少なくすることができ、当該所定状況発生後比較的短時間の間にDCオフセット調整量を決定して通常動作を開始することができる。

【0009】更に、無入力状態を発生させるには、直交検波器より前の段に設けられている利得調整回路(増幅器や減衰器)における増幅率や減衰率を、制御すればよい。例えば、直交検波器より前の段に、PINダイオードのスイッチングによりその減衰率が切り替わるPINアッテネータや、その増幅率を目標値に従い自動制御する機能を有するAGCアンプが設けられている場合、PINアッテネータにおける減衰率を十分大きくしましたAGCアンプにおける増幅率を十分小さくすることにより、無入力状態を好適に発生させることができる。な

お、回路構成によっては、周波数変換のためのミキサや各種の能動フィルタ等、能動素子を含む回路によって、同様の利得調整を行うこともできる。

【0010】更に、本発明における直流分の検出は、電源投入直後のみでなく、例えば、受信周波数の切換直後の所定期間に行うようにしてもよい。

## 【0011】

【発明の実施の形態】以下、本発明の好適な実施形態に關し図面に基づき説明する。

10 【0012】図1に、本発明を適用することができる受信機の一例の構成を示す。この図に示す受信機においては、アンテナ11により受信された信号がミキサ12において局部発振器16の出力と混台され、これによりRFからIFへと変換される。IFに変換された受信信号は、さらに、ミキサ18にて局部発振器20の出力と混台され、これによりIFからベースハンドヘッドへと変換される。ベースハンドヘッドに変換された受信信号は、直交検波器24により直交検波され、直交検波器24の出力は復調器26に入力される。復調器26は、直交検波器24の出力から伝送にかかるシンボルを再生し、I／Q座標系上にプロットして出力する。

20 【0013】この図に示す受信機は、さらに、各種のフィルタや利得調整回路を備えている。図中、符号28、30、32、34及び36で示されているのは受信信号の帯域制限や雜音除去等に用いられているBPFである。さらに、RF段には高周波アンプ38やPINアッテネータ40が設けられており、ベースバンド回路にはAGCアンプ42が設けられている。本実施形態の特徴の一つは、RFアンプ38、PINアッテネータ40、ミキサ12及び18、並びにAGCアンプ42のいずれかを単独又は組み合わせて制御し、直交検波器24の入力にかかるアイソレーションを得て無入力状態を発生させる点にある。また、本実施形態は、このようにして発生させた無入力状態にて復調器26への入力を制御部(DCオフセット調整回路)44に取り込み、取り込んだ情報を利用してDCオフセット調整量を決定することを特徴としている。

30 【0014】図2に示すように、制御部44は、電源が投入された直後に直交検波器24を前段の回路からアイソレートする。具体的には、PINアッテネータ40の減衰率を通常時に比べ例えば50dB増加させ、AGCアンプ42における増幅率を通常時に比べ60dB下げるにより、合計で110dBのアイソレーションを図る(200)。制御部44は、この状態で、復調器26への入力即ち直流分とみなせる信号を取り込み処理を(202)、所定時間が経過するまでの間(204)繰り返し実行する。制御部44は、このようにして取り込んだ復調器26入力を平均化し(206)、その結果得られた平均値を記憶すると共に(208)、直交検波器24への入力にかかるアイソレーションを解除する(2

(4)

特開2000-216836

5

10)。即ち、PINアッテネータ40の減衰率やAGCアンプ42の増幅率を通常時に戻す。制御部44は、このようにして記憶した平均値、即ち復調器26への入力に含まれる直流分の推定値を利用して、復調器26におけるDCオフセット調整を行う。

【0015】従って、本実施形態におけるDCオフセット調整は、直交換波器24の前段に設けられている回路、例えば各局部発振回路数に係るAFCやアンプ42におけるAGC等の収束状態の影響を受けず、また、アンテナ10によって受信された信号の変化パターンの影響を受けない。そのため、復調器26における受信信号の飽和が生ずる恐れがなく、また、ステップ202にかかる処理を比較的短時間で済ませることができる。このようにして、本実施形態によれば、従来に比べ高安定の受信感度、瞬接チャネル選択特性等を、電源投入直後から実現することが可能になる。

【0016】なお、上述の実施形態では、電源投入直後における所定時間における処理をその特徴の一つとしていたが、本発明は、電源投入直後以外に、受信周波数の切替直後といった状況にも、適用することが可能である。さらに、上述の実施形態では、内蔵されているPINダイオードを用いてその減衰率を増大させることができ

\* 能なPINアッテネータ40や、元来増幅率を変化させることが可能なアンプであるAGCアンプ42を用いて、直交換波器24の入力にかかるアイソレーションを得ていたが、これ以外の回路を利用してアイソレーションを得るようにもよい。例えば、RFアンプ38、ミキサ12及び18等をステップ200の実現に利用することができる。

【図面の簡単な説明】

【図1】 本発明を適用可能な受信機の一例構成を示す

19 ブロック図である。

【図2】 本発明の一実施形態における電源投入直後の

制御部の動作の流れを示すフローチャートである。

【図3】 入力中に含まれる直流分の変化によって生ずるI/Q座標原点の移動を示す平面図である。

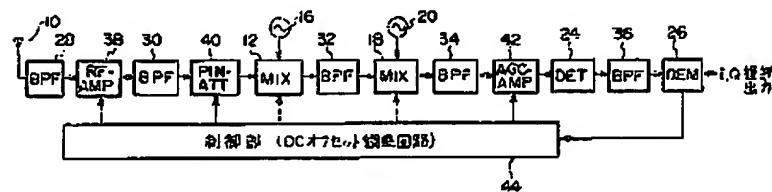
【図4】 一従来技術におけるDCオフセット調整装置決定手順を示すフローチャートである。

【符号の説明】

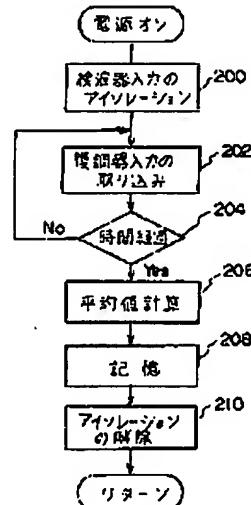
12, 18 ミキサ、24 直交換波器、26 復調

20 器、38 RFアンプ、40 PINアッテネータ、42 AGCアンプ、44 制御部(DCオフセット調整回路)。

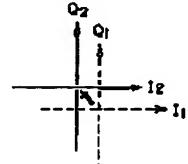
【図1】



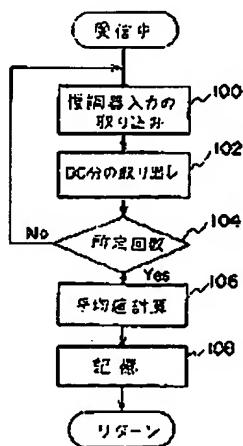
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**